# 虚拟摄像头设计说明

1. 虚拟摄像头IP框架

虚拟摄像头IP所实现的功能描述如下：

1. 从PS的DDR3存储器的指定存储区域，以双buffer的方式读取400\*320分辨率的图像（视频）数据，数据格式位RGB888；
2. 将读取到的图像（视频）数据转为数字视频接口（DVP）时序输出。

IP的整体结构框图如下图1所示：



图1 虚拟摄像头IP结构图

各模块功能描述如下：

其中，vcam\_sys\_ctrl模块用于控制整个系统的工作状态，包括：1）、整个IP的enable/disable；2）、DDR3双buffer的物理基地址；3）、DDR3双buffer的状态是否可读/可写，用于PS端双buffer写操作判断；所涉及的控制状态寄存器会在第二节详细说明；

ddr3\_ctrl模块用于实现PL对于PS端DDR3双buffer的读操作，从指定的物理基地址开始连续读取一帧图像数据；

dvp\_intf模块的功能是将从DDR3读取的数据转换成由dvp\_clk、dvp\_vsync、dvp\_href和dvp\_data组成的DVP时序，具体时序图会在第三节详细说明。

1. vcam\_sys\_ctrl模块控制状态寄存器说明

表1 控制状态寄存器表

|  |  |  |  |
| --- | --- | --- | --- |
| 控制/状态寄存器 | 地址 | 值 | 说明 |
| buffer\_status[31:0] | 0 | bit[1:0]：2’b01 | PL可读buffer0，读完置为2’bx0；  PS可写buffer1，写完置为2’b1x。 |
| bit[1:0]：2’b10 | PL可读buffer1，读完置为2’b0x；  PS可写buffer0，写完置为2’bx1。 |
| start\_status[31:0] | 1 | bit[0]：1’b1 | enable |
| bit[0]：1’b0 | disable |
| buffer\_base[31:0] | 2 | bit[31:0] | buffer0的物理基地址；buffer1的物理基地址在此基础上偏移IMG\_SIZE。 |

注：IMG\_SEZE表示图像尺寸，以字节为单位，此处默认为400\*320\*3B。

1. DVP接口时序说明

dvp\_intf模块用于将从DDR3读出来的视频数据转为DVP时序输出，具体输出时序如下图2所示。

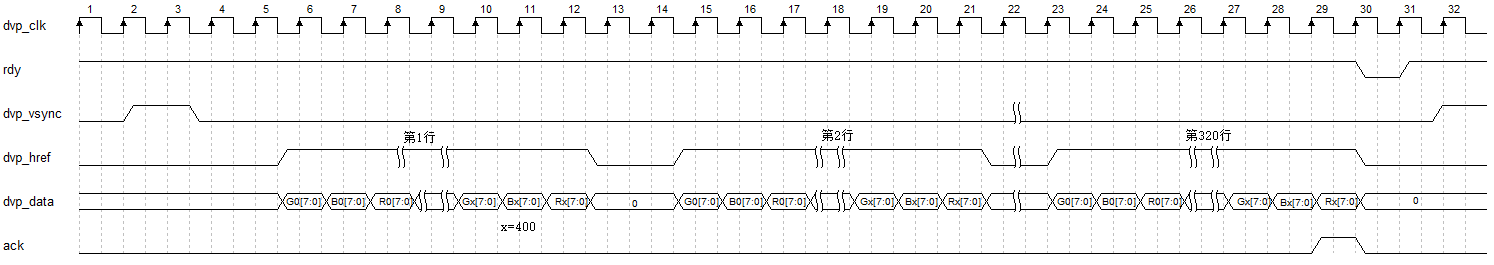


图2 DVP时序图

另外，由于使用的图像分辨率为400\*320、帧率为30fps、像素格式为RGB888，因此，dvp\_pclk的时钟频率设定为12.5MHz。dvp\_vsync拉高时间、dvp\_href两次拉高之间的时间间隔等都是自己设定的。